

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 9 月 9 日 (09.09.2005)

PCT

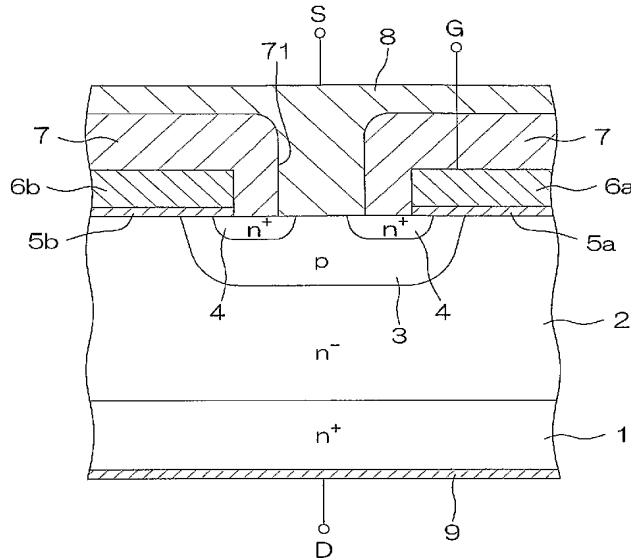
(10) 国際公開番号
WO 2005/083796 A1

- (51) 国際特許分類⁷: H01L 29/78, 21/336 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/003671 (75) 発明者/出願人 (米国についてのみ): 三浦 峰生 (MIURA, Mineo) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
(22) 国際出願日: 2005 年 2 月 25 日 (25.02.2005) (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府中央区南本町 2 丁目 6 番 1 2 号 サンマリオン NBF タワー 2 1 階 あい特許事務所内 Osaka (JP).
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2004-054506 2004 年 2 月 27 日 (27.02.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: Disclosed is a semiconductor device having a double diffusion MOS structure wherein a silicon carbide semiconductor substrate is used. This semiconductor device comprises a silicon carbide semiconductor epitaxial layer which is arranged on the surface of the silicon carbide semiconductor substrate and has the same first conductivity type as the silicon carbide semiconductor substrate, and an impurity region which is formed by doping the surface layer portion of the silicon carbide semiconductor epitaxial layer with an impurity of a second conductivity type so that it has such a profile that the second conductivity type impurity concentration is relatively low near the surface and relatively high in the deep portion.

(57) 要約: 炭化シリコン半導体基板を用いた二重拡散 MOS 構造の半導体装置。この半導体装置は、炭化シリコン半導体基板の表面に積層されて、炭化シリコン半導体基板と同じ第

[続葉有]

WO 2005/083796 A1



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

1 導電性を有する炭化シリコン半導体エピタキシャル層と、この炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることによって形成されて、その表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域とを備えている。

明細書

半導体装置およびその製造方法

技術分野

この発明は、炭化シリコン半導体基板を用いた二重拡散MOS構造の半導体装置および
5 その製造方法に関する。

背景技術

炭化シリコン (SiC) 半導体基板を用いた二重拡散MOSFET (DMOS : double
diffused MOS) では、 n^+ 型SiC半導体基板の表面に n^- 型SiC半導体エピタキシ
10 ャル層が形成されている。また、 n^- 型SiC半導体エピタキシャル層の表層部には、p
型不純物領域と、このp型不純物領域内に平面視で環状の n^+ 型不純物領域とが形成され
ている。

図7は、従来の二重拡散MOSFETにおけるp型不純物領域の不純物プロファイルを示す図である。従来の二重拡散MOSFETでは、p型不純物領域がいわゆるボックスプ
15 ロファイルを持している。すなわち、従来の二重拡散MOSFETのp型不純物領域は、
図7に示すように、その表面からの深さに関係なく、不純物濃度が各部でほぼ均一になる
ようにプロファイルが制御されている。

このようなボックスプロファイルを持するp型不純物領域は、 n^- 型SiC半導体エピ
タキシャル層の表層部にp型不純物を多段イオン注入することによって形成される。注入
20 エネルギーを一定にして行うイオン注入 (1段イオン注入) では、不純物の深さ方向の分
布がガウス分布に近似した分布 (図7に二点鎖線で示すような分布) となるから、たとえ
ば、注入エネルギーを3段階に変化させてイオン注入 (3段イオン注入) を行うことによ
り、p型不純物領域の表面付近と最深部 (n^- 型SiC半導体エピタキシャル層との境界
部) とで不純物濃度がほぼ同じにされる。

25 p型不純物領域の深部での不純物濃度が低いと、p型不純物領域と n^- 型SiC半導体
エピタキシャル層との境界からp型不純物領域側に空乏層が拡がりやすいので、パンチス
ルーが起こりやすくなる。そのため、従来の二重拡散MOSFETでは、p型不純物領域
の不純物濃度が $10^{17} \sim 10^{18} / \text{cm}^3$ の高濃度に設定されることにより、耐圧が十分に
高められている。しかしながら、p型不純物領域の不純物濃度が高いと、チャネル領域を

移動するキャリアが散乱を受けるため、キャリアのチャネル移動度が低い（オン抵抗が高い）という問題があった。

発明の開示

5 そこで、この発明の目的は、パンチスルーを抑制できる高耐圧とチャネル移動度の向上とを両立可能な構造の半導体装置およびその製造方法を提供することである。

この発明の半導体装置は、炭化シリコン半導体基板を用いた二重拡散MOS構造の半導体装置であって、炭化シリコン半導体基板の表面に積層されて、炭化シリコン半導体基板と同じ第1導電型を有する炭化シリコン半導体エピタキシャル層と、この炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることによって形成されて、その表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域とを含む。

この構成により、不純物領域の深部で第2導電型不純物濃度が高いので、不純物領域とその下層の炭化シリコン半導体エピタキシャル層との境界から第2導電型不純物領域側に空乏層が拡がるのを防止することができる。一方、第2導電型不純物領域の表面付近で不純物濃度が低いので、第2導電型不純物領域の表層部に形成されるチャネル領域を移動するキャリアの散乱が小さく、キャリアのチャネル移動度を高く保持することができる。よって、パンチスルーを抑制することのできる高耐圧と、キャリアのチャネル移動度の向上とを両立させることができる。

20 なお、上記不純物領域のプロファイルは、最深部（炭化シリコン半導体エピタキシャル層との境界部）付近における第2導電型不純物濃度が $10^{18}/\text{cm}^3$ 以上の高濃度であり、その最深部付近をピークとして表面に近づくほど第2導電型不純物濃度が連続的かつ緩やかに低くなり、表面付近における第2導電型不純物濃度が $5 \times 10^{15}/\text{cm}^3$ 以下となるようなプロファイルであることが好ましい。

25 また、上記不純物領域は、最表面付近の第2導電型不純物濃度が上記炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低く制御されていることが好ましい。これにより、第2導電型不純物領域の最表面付近における第2導電型不純物濃度を炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低いので、第2導電型不純物領域の表層部（チャネル領域）に第1導電型が現れ、この第1導電型のチ

チャネル領域を蓄積層とする蓄積型MOSFET (Accumulation MOSFET) の構造を実現することができる。そのため、閾値電圧を低下させることができ、また、キャリアのチャネル移動度をさらに向上させることができる。

- この発明の半導体装置の製造方法は、炭化シリコン半導体基板を用いた二重拡散MOS
- 5 構造の半導体装置を製造する方法であって、炭化シリコン半導体基板の表面に、炭化シリコン半導体基板と同じ第1導電型を有する炭化シリコン半導体エピタキシャル層を積層する工程と、上記炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングして、表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域を形成する不純物領域形成工程とを含む。
- 10

この方法により、上記のような半導体装置を製造することができる。

- 表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域は、1段イオン注入によって、炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることにより形成することができる。
- 15

- また、上記不純物領域形成工程では、最表面付近の第2導電型不純物濃度が上記炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低いプロファイルを有する不純物領域を形成することが好ましい。こうすることにより、不純物領域の最表面付近の第2導電型不純物濃度が、炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低く制御されている半導体装置を製造することができる。
- 20

本発明における上述の、または他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

- 25 図1は、この発明の一実施形態に係る半導体装置の構造を図解的に示す断面図である。
- 図2は、上記半導体装置のp型不純物領域が有する不純物プロファイルを示す図である。
- 。 図3は、蓄積型MOSFETの構造を図解的に示す断面図である。
- 図4は、この発明の他の実施形態に係る半導体装置の構造を図解的に示す断面図である

。

図5は、図4に示す半導体装置のp型不純物領域が有する不純物プロファイルを示す図である。

図6は、図4に示す半導体装置のゲート特性を示すグラフである。

- 5 図7は、従来の二重拡散MOSFETにおけるp型不純物領域の不純物プロファイルを示す図である。

発明を実施するための最良の形態

図1は、この発明の一実施形態に係る半導体装置の構造を図解的に示す断面図である。

- 10 この半導体装置は、二重拡散MOSFETであり、半導体基板として、 n^+ 型SiC半導体基板1が用いられている。

- n^+ 型SiC半導体基板1の表面には、 n^+ 型SiC半導体基板1よりも低い不純物濃度を有する n^- 型SiC半導体エピタキシャル層2が形成されている。 n^- 型SiC半導体エピタキシャル層2の表層部には、たとえば、平面四角形状のp型不純物領域3が形成
- 15 されている。さらに、そのp型不純物領域3内には、平面四角棒状の n^+ 型不純物領域4がp型不純物領域3の周縁との間に適当な間隔を空けて形成されている。p型不純物領域3は、 n^- 型SiC半導体エピタキシャル層2の表面から0.5~0.7 μm の深さを有している。 n^+ 型不純物領域4は、 n^- 型SiC半導体エピタキシャル層2の表面から0.2~0.3 μm の深さを有している。 n^+ 型不純物領域4の下方には、少なくとも厚さ
- 20 0.2~0.3 μm のp型不純物領域3が存在している。

- n^- 型SiC半導体エピタキシャル層2上には、ゲート酸化膜5a、5bおよびゲート電極6a、6bが設けられている。ゲート酸化膜5a、5bは、それぞれ、 n^+ 型不純物領域4の外周縁部とp型不純物領域3外との間に跨って、p型不純物領域3（ n^+ 型不純物領域4）の周縁の一边に沿って長い直線状に形成されており、 n^+ 型不純物領域4の外
- 25 周縁部とp型不純物領域3外との間における n^- 型SiC半導体エピタキシャル層2の表面を覆っている。ゲート電極6a、6bは、ゲート酸化膜5a、5b上にそれぞれ配置されている。

ゲート電極6a、6b上には、層間絶縁膜7が形成されている。この層間絶縁膜7上には、たとえば、平面四角形状のソース電極8が形成されており、このソース電極8は、層

間絶縁膜7に形成されたコンタクトホール71を介して、 n^+ 型不純物領域4の内周縁部およびp型不純物領域3の n^+ 型不純物領域4に囲まれた領域を含むソースコンタクト領域に接続されている。

また、 n^+ 型SiC半導体基板1の裏面側（ n^- 型SiC半導体エピタキシャル層2と反対側）には、その裏面のほぼ全域を覆うようにドレイン電極9が形成されている。

図2は、p型不純物領域3が有する不純物プロファイルを示す図である。p型不純物領域3は、 n^+ 型SiC半導体基板1の表面に n^- 型SiC半導体エピタキシャル層2をエピタキシャル成長させて形成した後、この n^- 型SiC半導体エピタキシャル層2の表層部に、たとえば、p型不純物であるアルミニウム（Al）を400keV（一定）の注入エネルギーでイオン注入することによって形成される。すなわち、注入エネルギーが400keVの1段イオン注入によって、p型不純物領域3が形成される。

このようにして形成されるp型不純物領域3は、深さ0.5～0.7 μ mの最深部（ n^- 型SiC半導体エピタキシャル層2との境界部）付近におけるp型不純物濃度が $10^{18}/\text{cm}^3$ 以上の高濃度であり、 n^- 型SiC半導体エピタキシャル層2に導入された不純物の一部はSiC結晶に衝突して跳ね返されるため、その最深部付近をピークとして表面に近づくほどp型不純物濃度が連続的かつ緩やかに低くなり、表面付近におけるp型不純物濃度が $5 \times 10^{15}/\text{cm}^3$ 以下となるような不純物プロファイルを有する。

p型不純物領域3の深部で不純物濃度が高いため、p型不純物領域3とその下層の n^- 型SiC半導体エピタキシャル層2との境界からp型不純物領域3側に空乏層が広がるのを防ぐことができる。一方、p型不純物領域3の表面付近で不純物濃度が低いので、p型不純物領域3の表層部に形成されるチャネル領域を移動するキャリアの散乱が小さく、キャリアのチャネル移動度を高く保持することができる。よって、この二重拡散MOSFETの構成によれば、パンチスルーを抑制することのできる高耐圧と、キャリアのチャネル移動度の向上とを両立させることができる。

また、p型不純物領域3の最表面付近におけるp型不純物濃度を、 n^- 型SiC半導体エピタキシャル層2のn型不純物濃度（たとえば、 $10^{16}/\text{cm}^3$ ）よりも小さくすれば、図3に示すように、p型不純物領域3の表層部（チャネル領域）に n^- 型が現れ、この n^- 型のチャネル領域を蓄積層31とする蓄積型MOSFETの構造を達成することができる。これにより、キャリアのチャネル移動度をさらに向上させることができる。

図4は、この発明の他の実施形態に係る半導体装置の構造を図解的に示す断面図である。この半導体装置は、蓄積型MOSFETであり、半導体基板として、 n^+ 型SiC半導体基板11が用いられている。

n^+ 型SiC半導体基板11の表面には、 n^+ 型SiC半導体基板11よりも低い不純物濃度を有する n^- 型SiC半導体エピタキシャル層12が形成されている。 n^- 型SiC半導体エピタキシャル層12の表層部には、p型不純物領域13が形成されている。さらに、そのp型不純物領域13内の表層部には、 n^+ 型ソース領域14および n^+ 型ドレイン領域15が互いに適当な間隔を空けて形成されている。また、 n^+ 型ソース領域14と n^+ 型ドレイン領域15との間のチャネル領域には、n型蓄積層16が形成されている。

p型不純物領域13は、 n^- 型SiC半導体エピタキシャル層12の表面から0.5～0.7 μm の深さを有している。 n^+ 型ソース領域14および n^+ 型ドレイン領域15は、 n^- 型SiC半導体エピタキシャル層12の表面から0.2～0.3 μm の深さを有している。また、n型蓄積層16は、 n^- 型SiC半導体エピタキシャル層12の表面から0.05～0.1 μm の深さを有している。

n^+ 型ソース領域14および n^+ 型ドレイン領域15上には、それぞれソース電極17およびドレイン電極18が形成されている。また、ソース電極17とドレイン電極18との間における n^- 型SiC半導体エピタキシャル層12上には、ゲート酸化膜19が形成されており、このゲート酸化膜19上には、ゲート電極20が形成されている。

図5は、p型不純物領域13が有する不純物プロファイルを示す図である。p型不純物領域13は、 n^+ 型SiC半導体基板11の表面に n^- 型SiC半導体エピタキシャル層12をエピタキシャル成長させて形成した後、この n^- 型SiC半導体エピタキシャル層12の表層部に、たとえば、p型不純物であるアルミニウム (Al) を400 keV (一定) の注入エネルギーでイオン注入することによって形成される。すなわち、注入エネルギーが400 keVの1段イオン注入によって、p型不純物領域13が形成される。

このようにして、 n^- 型SiC半導体エピタキシャル層12の表面からの深さ0.7 μm (7000 Å) 程度のp型不純物領域13を形成した場合、そのp型不純物領域13は、最深部 (n^- 型SiC半導体エピタキシャル層12との境界部) 付近におけるp型不純物濃度 (原子密度) が $10^{18}/\text{cm}^3$ 以上の高濃度であり、 n^- 型SiC半導体エピタキ

シャル層12に導入された不純物の一部はSiC結晶に衝突して跳ね返されるため、その最深部付近をピークとして表面に近づくほどp型不純物濃度が連続的かつ緩やかに低くなる不純物プロファイルを有する。そして、表面付近におけるp型不純物濃度は、そのp型不純物濃度のピーク値の100分の1以下、具体的には $5 \times 10^{15} / \text{cm}^3$ 以下となる。

- 5 また、この不純物プロファイルは、p型不純物濃度がピークとなる最深部付近からさらに深部側において濃度変化が急峻となり、最深部付近から表面側における濃度変化は、その最深部付近から深部側における濃度変化よりも非常に緩慢になっている。

- n⁻型SiC半導体エピタキシャル層12のn型不純物濃度（原子密度）は、 $10^{16} / \text{cm}^3$ 程度でほぼ一定であるから、p型不純物領域13の表層部（チャネル領域）では、
10 p型不純物濃度がn型不純物濃度よりも小さくなり、その結果、p型不純物領域13の表層部にn型が現れることによってn型蓄積層16が形成される。

- こうして形成されるn型蓄積層16を有する蓄積型MOSFETは、図6に示すように、注入エネルギーを4段階に変化させてイオン注入（4段イオン注入）を行うことにより、n⁻型SiC半導体エピタキシャル層の表層部にp型不純物領域13とほぼ同じ深さを
15 有するp型不純物領域を形成した従来型のMOSFETよりも優れた特性を有する。

- すなわち、従来型のMOSFETは、閾値電圧が8.0V程度であり、チャネル移動度が $18.3 \text{ cm}^2 / \text{Vs}$ 程度である。また、ゲート電圧が15Vのときのドレイン電流の大きさが $19 \mu\text{A}$ 程度である。これに対し、蓄積型MOSFETは、閾値電圧を3.3V程度に低減させることができる。しかも、閾値電圧は正の値であり、パワースイッチング
20 素子に要求されるノーマリオフ型を示している。また、チャネル移動度が $24 \text{ cm}^2 / \text{Vs}$ 程度に向上されている。さらに、ゲート電圧が15Vのときのドレイン電流の大きさは $42 \mu\text{A}$ 程度であり、従来型のMOSFETに比べてオン抵抗値がほぼ半減している。

- n型蓄積層16のような埋め込みチャネルは、p型不純物領域を形成した後に、n型層をエピタキシャル成長させることによって形成することができる（たとえば、特開平1
25 0-308510号公報）。また、p型不純物領域を形成した後に、n型不純物を選択的に多段イオン注入することによっても形成することができる（たとえば、特開平11-261061号公報）。

エピタキシャル成長の手法によって埋め込みチャネルを形成する場合、深さ0.1~0.2 μm 程度の薄いn型層を得るために、エピタキシャル成長を初期成長の段階で止めな

けれどもならないが、エピタキシャル成長の初期段階では、不純物濃度および深さの精密な制御が困難である。そのため、埋め込みチャネルの不純物濃度および深さが設計通りにならず、蓄積型MOSFETがノーマリオン型になりやすいという問題がある。

- また、イオン注入の手法では、埋め込みチャネルの深さを精密に制御することができる
- 5 ものの、p型不純物領域のp型を打ち消すためにn型不純物が高濃度に注入されるので、埋め込みチャネルの不純物濃度が高濃度になり、その結果、イオン注入後のアニールによる活性化率が不安定になるために、埋め込みチャネルの不純物濃度が設計通りにならないという問題がある。また、不純物濃度が高濃度な埋め込みチャネルは、キャリアがクーロン散乱を受けやすいため、チャネル移動度が低いという問題も有している。
- 10 これに対し、この実施形態に係る手法（n型蓄積層16を形成する手法）では、エピタキシャル成長によって埋め込みチャネルを形成する場合のような問題は生じない。また、n型蓄積層16における不純物濃度は低いので、アニールによる活性化率の影響を受けず、設計通りの特性（ノーマリオン型）を有する蓄積型MOSFETを得ることができる。さらに、n型蓄積層16は、キャリアのクーロン散乱が少なく、高いチャネル移動度を発
- 15 揮することができる。

- 以上、この発明の2つの実施形態を説明したが、この発明は他の形態で実施することもできる。たとえば、上記の各実施形態では、n型SiC半導体基板を用いる例について説明したが、p型SiC半導体基板が用いられる場合も同様にして、二重拡散MOS構造の半導体装置を作成することができる。また、CMOS構造の半導体装置を作成することも
- 20 できる。

本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

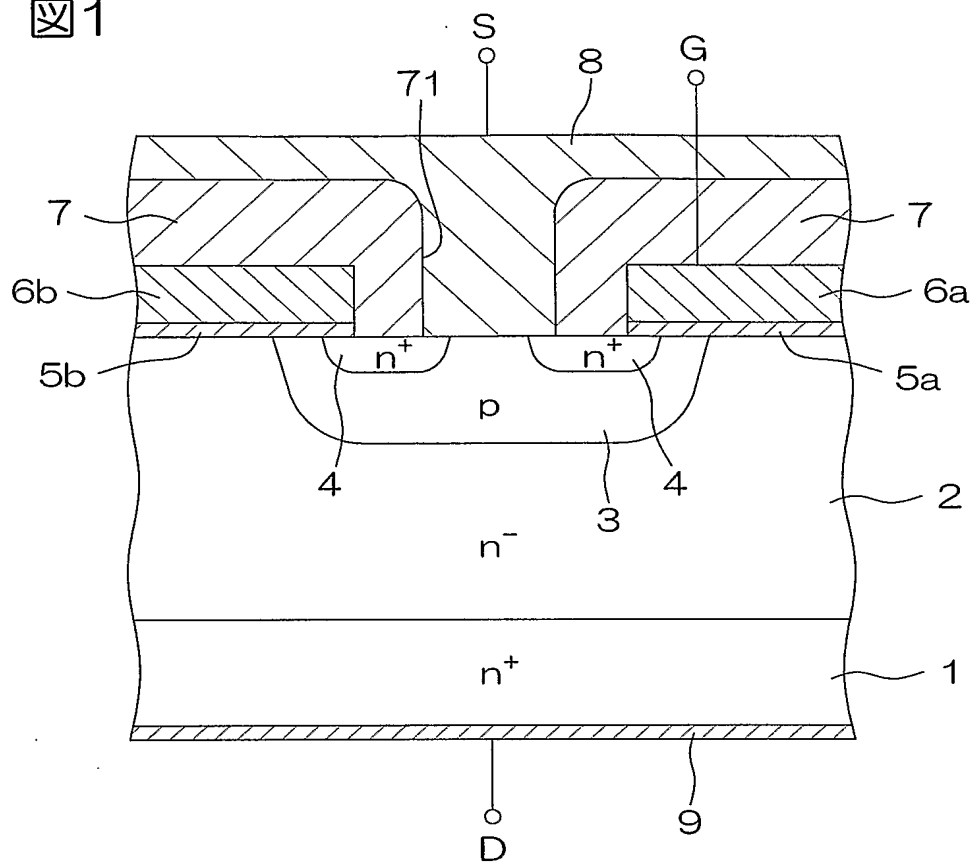
- この出願は、2004年2月27日に日本国特許庁に提出された特願2004-545
- 25 06号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

1. 炭化シリコン半導体基板を用いた二重拡散MOS構造の半導体装置であって、
炭化シリコン半導体基板の表面に積層されて、炭化シリコン半導体基板と同じ第1導電型を有する炭化シリコン半導体エピタキシャル層と、
- 5 この炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることによって形成されて、その表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域とを含むことを特徴とする半導体装置。
2. 上記不純物領域は、最表面付近の第2導電型不純物濃度が上記炭化シリコン半導体エ
10 ピタキシャル層における第1導電型不純物濃度よりも低く制御されていることを特徴とする請求項1記載の半導体装置。
3. 炭化シリコン半導体基板を用いた二重拡散MOS構造の半導体装置を製造する方法であって、
炭化シリコン半導体基板の表面に、炭化シリコン半導体基板と同じ第1導電型を有する
15 炭化シリコン半導体エピタキシャル層を積層する工程と、
上記炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングして、表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域を形成する不純物領域形成工程とを含むことを特徴とする半導体装置の製造方法。
- 20 4. 上記不純物領域形成工程では、1段イオン注入によって、上記炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることを特徴とする請求項3記載の半導体装置の製造方法。
5. 上記不純物領域形成工程では、最表面付近の第2導電型不純物濃度が上記炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低いプロファイルを有す
25 る不純物領域を形成することを特徴とする請求項3記載の半導体装置の製造方法。

1/6

図1



2/6

図2

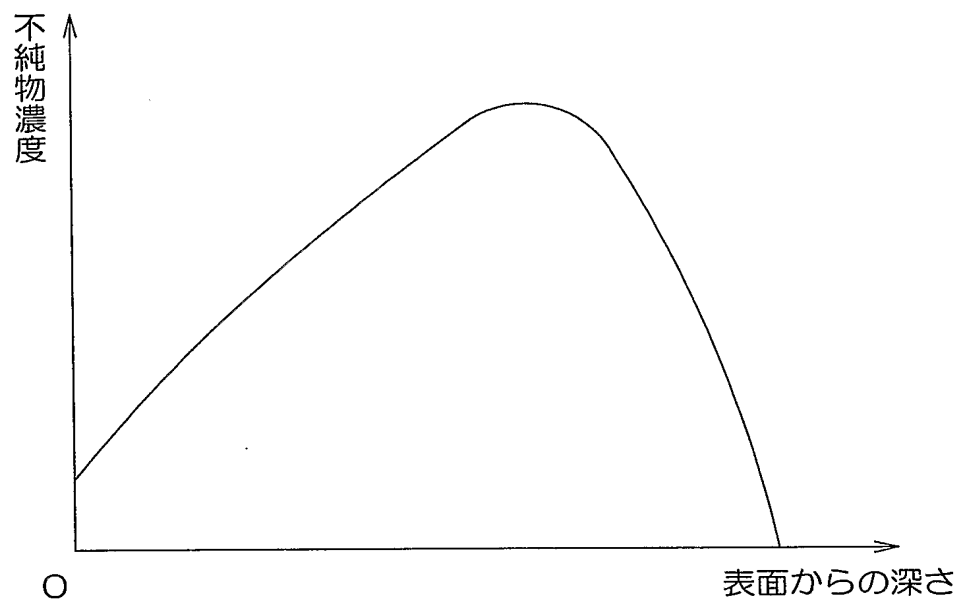
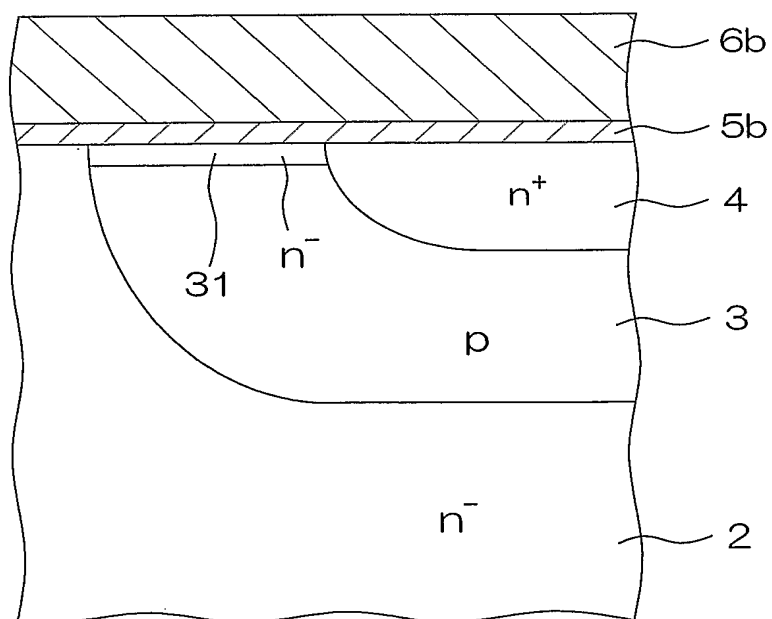
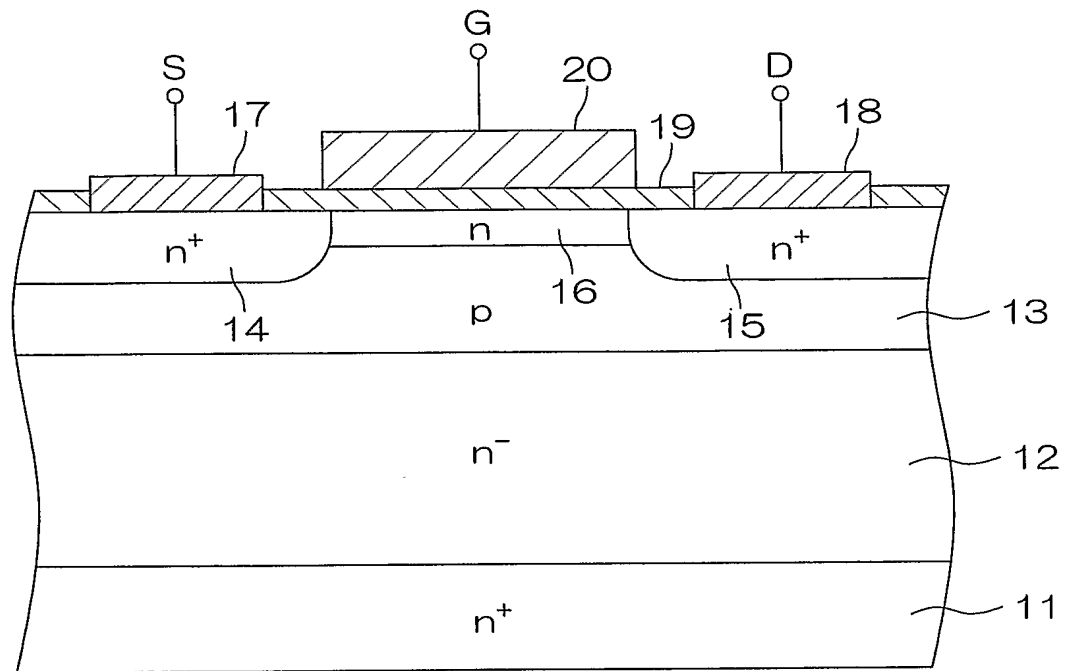


図3



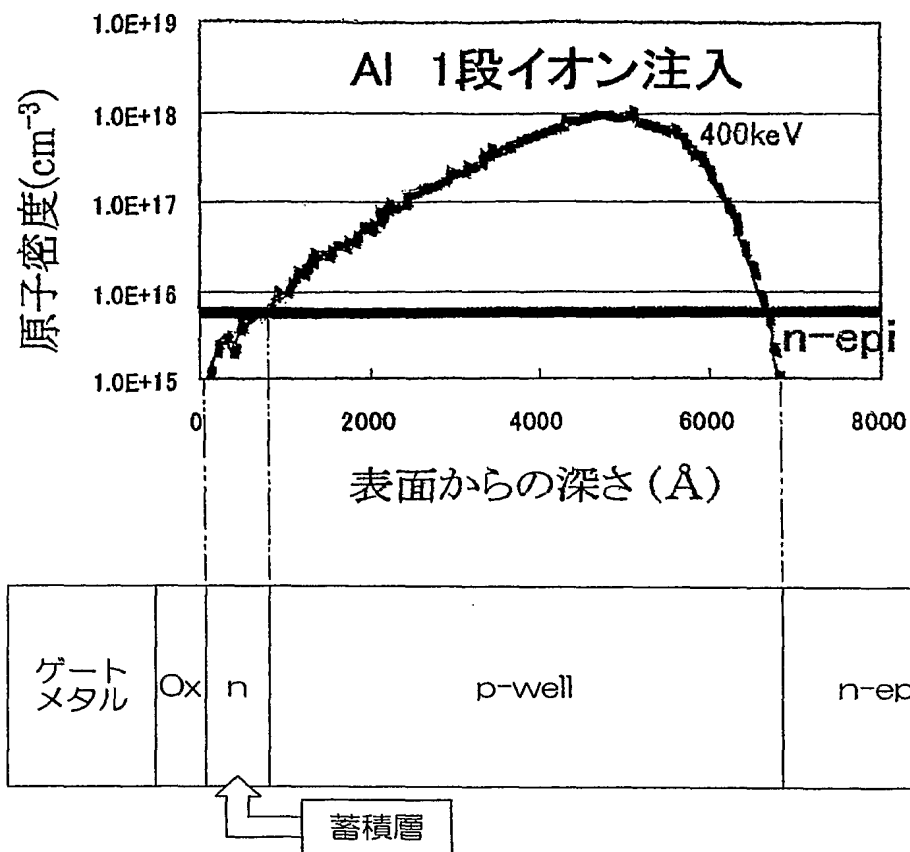
3/6

図4



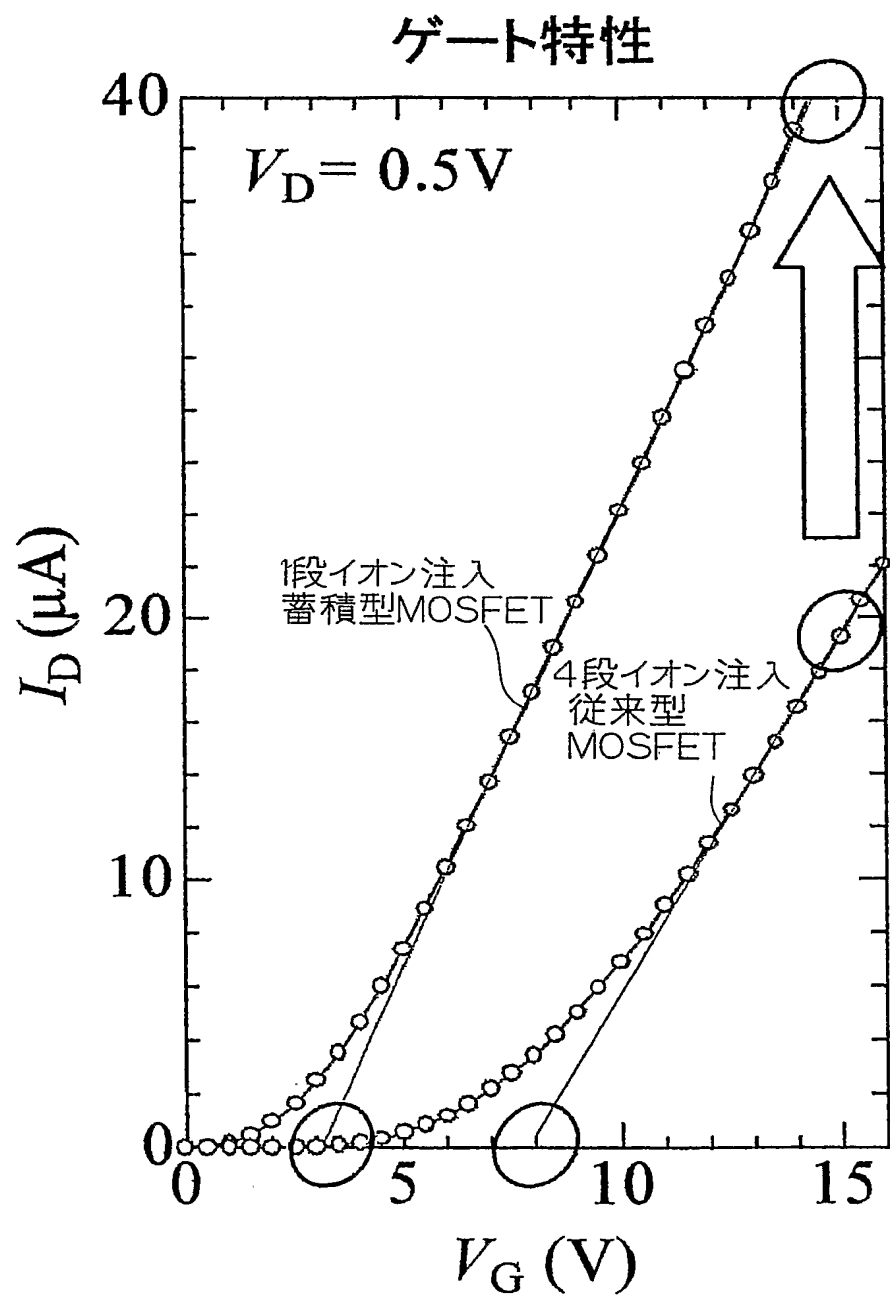
4/6

図5



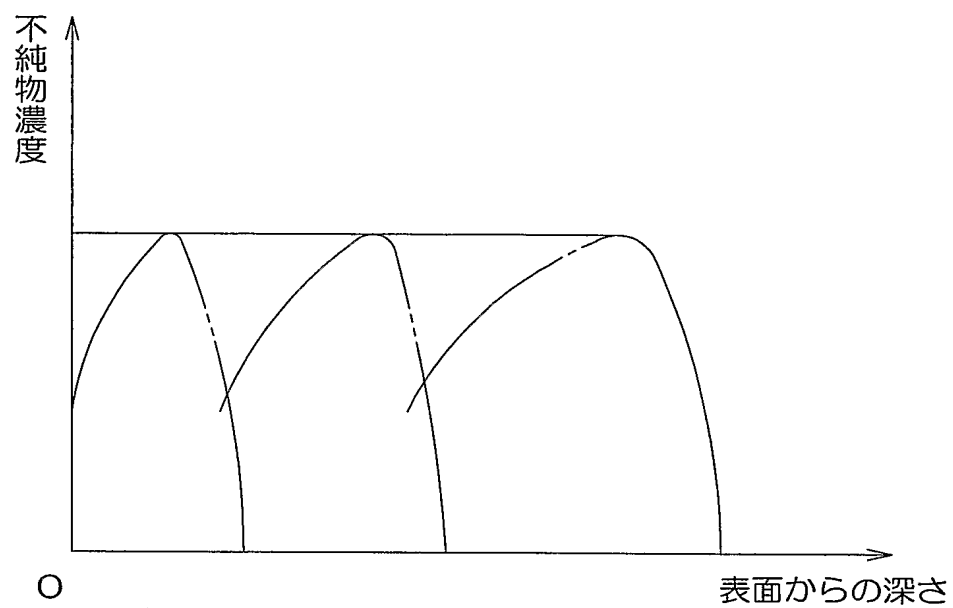
5/6

図6



6/6

図7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003671

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L29/78, 21/336		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L29/78, 21/336		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 9-503626 A (Siemens AG.), 08 April, 1997 (08.04.97), Full text; Figs. 2, 3, 5 & WO 1995/024055 A1 & TW 260827 A & EP 748520 A1 & KR 97701930 A & DE 59504562 G	1, 3, 4 2, 4, 5
X Y	JP 2000-82812 A (Denso Corp.), 21 March, 2000 (21.03.00), Full text; Figs. 1 to 3 (Family: none)	1, 3 2, 5
X Y	JP 2000-150866 A (Fuji Electric Co., Ltd.), 30 May, 2000 (30.05.00), Par. Nos. [0072] to [0078]; Fig. 9 & US 2004/0036113 A1	1, 3 4
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 May, 2005 (09.05.05)		Date of mailing of the international search report 24 May, 2005 (24.05.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L29/78, 21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L29/78, 21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 9-503626 A(シーメンス アクチエンゲゼルシャフト) 1997. 04. 08 全文, 図 2, 3, 5 &WO 1995/024055 A1 &TW 260827 A &EP 748520 A1 & KR 97701930 A &DE 59504562 G	1, 3, 4 2, 4, 5
X Y	JP 2000-82812 A(株式会社デンソー). 2000. 03. 21 全文, 図 1-3(ファミリーなし)	1, 3 2, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.05.2005

国際調査報告の発送日

24.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

電話番号 03-3581-1101 内線 3462

4M

9836

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2000-150866 A(富士電機株式会社) 2000.05.30 【0072】 - 【0078】 , 図 9 &US 2004/0036113 A1	1, 3 4